

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2003-157674
(P2003-157674A)

(43) 公開日 平成15年5月30日(2003.5.30)

(51)Int.Cl.	識別記号	F I	マーク(参考)
G 11 C	11/407	G 11 C 29/00	6 7 1 M 2 G 1 3 2
G 01 R	31/28	11/34	3 5 4 F 5 L 1 0 6
	31/3185		3 5 3 F 5 M 0 2 4
G 11 C	11/401		3 6 3 Z
	11/406		3 6 2 H

(2) 出廠番號 特顯2001-354302(P2001-354302)

(22) 出願日 平成13年11月20日(2001.11.20)

(71) 出願人 000005821
松下電器産業株式会社
大阪府大阪市東住吉区豊島町1006番地

(72) 発明者 折笠 篤一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 大田 潤人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 110000040
特許業務法人池内・佐藤アンドパートナーズ

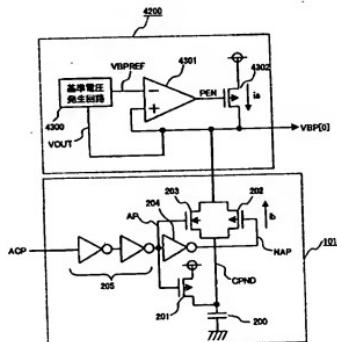
最終頁に統ぐ

(54) [查明の名称] 半導体記憶装置

(57) [要約]

【課題】 高速・高精度にビット線のプリチャージを行うことが可能な半導体記憶装置を提供する。

【解決手段】 複数のメモリセルが接続されたビット線対と、ビット線対を第1の電圧にプリチャージするための複数のプリチャージ回路と、プリチャージ回路にプリチャージ電圧を供給するビット線プリチャージ電圧発生装置とを備える。ビット線プリチャージ電圧発生装置は、第1の電圧を発生してプリチャージ回路に供給するプリチャージ電圧発生回路4 2 0 0と、第1のキャバシタ2 0 0と、第1のキャバシタを充電する充電手段2 0 1と、第1のキャバシタとプリチャージ回路との接続・切断を制御するトランസフアーゲート回路(2 0 2、2 0 3、2 0 4)とを具備する。トランಸフアーゲート回路は、ビット線のプリチャージ時に第1のキャバシタとプリチャージ回路と接続するように制御される。



200 第1のキャバシタ
 201 第1のPチャネルトランジスタ
 202 第2のPチャネルトランジスタ
 203 第1のNチャネルトランジスタ
 204 第1のインバータ
 205 パッファインバータ
 CPND 電気接続ノード
 4P NPN 4CPC トライスイッフゲート接続回路

【特許請求の範囲】

【請求項1】複数のメモリセルと、前記メモリセルが接続されたビット線対と、第1の制御信号に応じて前記ビット線対を第1の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線のイコライズ電圧と前記第1の電圧が異なる半導体記憶装置であって、前記ビット線プリチャージ電圧発生装置は、前記第1の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、第1のキャパシタと、前記第1のキャパシタを充電する充電手段と、前記第1のキャパシタと前記プリチャージ回路との接続・切断を制御するトランスマルチゲート回路と、前記充電手段と前記トランスマルチゲート回路を制御する第1の制御回路とを具備し、

前記第1の制御回路は、前記ビット線のプリチャージ時に前記第1のキャパシタと前記プリチャージ回路とを接続するように前記トランスマルチゲート回路を制御することを特徴とする半導体記憶装置。

【請求項2】前記プリチャージ電圧発生回路は、第2の電圧を発生する基準電圧発生装置と、前記第1の電圧を前記第2の電圧と等しい電圧に駆動するドライバ回路とを備え、前記ドライバ回路の出力と、前記プリチャージ回路とが接続されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】前記第1のキャパシタはソース・ドレインが接続された第1のMOSトランジスタで構成され、前記充電手段はゲートが第2の制御信号に、ソースが第1の外部電源に、ドレインが前記第1のMOSトランジスタのゲートに接続された第1のPチャネルMOSトランジスタで構成され、前記トランスマルチゲート回路は、ゲートに第2の制御信号が入力され、ソースを前記第1のMOSトランジスタのゲートに、ドレインをプリチャージ回路に接続された第1のNチャネルMOSトランジスタと、入力に前記第2の制御信号が供給される第1のインバータと、ゲートに前記第1のインバータの出力が入力され、ソースを前記第1のMOSトランジスタのゲートに、ドレインを前記プリチャージ回路に接続された第2のPチャネルMOSトランジスタで構成されたことを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】前記第1の制御回路は、前記第1の制御信号が、前記プリチャージ回路を活性化する電圧にされてから第1の遅延時間の後に前記第2の制御信号を第1の電圧レベルに制御し、さらに第2の遅延時間の後に、前記第2の制御信号を第1の電圧レベルと逆相の電圧に制御することを特徴とする請求項1に記載の半導体記憶装置。

【請求項5】第1の外部電源電圧と前記第2の電圧との差を第1の電圧差とし、前記ビット線対の各電圧の平均

均の電圧と前記第2の電圧との差を第2の電圧差とし、同時にプリチャージする前記ビット線対の絶静電容量を第1の静電容量とするとき、前記第1のキャパシタの静電容量は、前記第1の電圧差に対する前記第2の電圧差の比に前記第1の静電容量を乗じた第2の静電容量に等しいことを特徴とする請求項2に記載の半導体記憶装置。

【請求項6】第1の外部電源電圧と前記第2の電圧との差を第1の電圧差とし、前記ビット線対の各電圧の平均

均の電圧と前記第2の電圧との差を第2の電圧差とし、同時にプリチャージする前記ビット線対の絶静電容量を第1の静電容量とするととき、前記第1のキャパシタの静電容量は、前記第1の電圧差に対する前記第2の電圧差の比に前記第1の静電容量を乗じた第2の静電容量の約50%から80%の値であることを特徴とする請求項2に記載の半導体記憶装置。

【請求項7】前記複数のメモリセルのデータを、リフレッシュ制御信号に応じてリフレッシュするための機能を有し、リフレッシュ動作時には、通常動作よりも多くの前記ビット線対を活性化するよう構成され、前記第1の制御回路は前記リフレッシュ制御信号がリフレッシュ動作時を示すレベルののみに、前記第1の制御信号に応じて前記トランスマルチゲート回路を開放することを特徴とする請求項1に記載の半導体記憶装置。

【請求項8】テスト信号が入力されることによりテストモードに入る機能を有し、前記テストモードでない場合には、前記第1の制御信号に応じて前記トランスマルチゲート回路を開放し、前記テストモードの場合には、前記ドライバ回路が停止し、前記ドライバ回路の出力がハイバイピーダンスとなり、前記トランスマルチゲート回路を開じていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項9】前記プリチャージ電圧発生回路は、前記複数のプリチャージ回路のうち、最遠部近傍に配置された前記プリチャージ回路に供給される前記第1の電圧を前記第2の電圧と比較し、その比較結果に基づいて、最遠部近傍に配置された前記プリチャージ回路に供給される前記第1の電圧を駆動することを特徴とする請求項2に記載の半導体記憶装置。

【請求項10】前記複数のメモリセルは複数のメモリアレイブロックに区分され、各々の前記メモリアレイブロックは、前記第1の制御信号によって同時に駆動される前記複数のプリチャージ回路に接続された前記複数のメモリセルを含み、前記メモリアレイブロックごとにノイズキャンセラーが配置され、前記ノイズキャンセラーは、第2のインバータと、第2のキャパシタで構成され、前記第1の制御信号が前記第2のインバータに入力され、前記第2のインバータの出力が、前記第2のキャパシタの1端子に入力され、前記第2のキャパシタの別端子に、前記プリチャージ用の電圧が供給されることを

特徴とする請求項1に記載の半導体記憶装置。

【請求項1】複数のメモリセルと、前記メモリセルが接続されたビット線対と、第1の制御信号に応じて前記ビット線対を第1の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線のイコライズ電圧と前記第1の電圧が異なり、さらに第3の制御信号に応じて同時に活性化させる前記ビット線対の数を変更する機能を有する半導体記憶装置であって、

前記ビット線プリチャージ電圧発生装置は、前記第1の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、複数のキャバシタ制御回路と、前記複数のキャバシタ制御回路を制御する第2の制御回路とを具備し、

各々の前記キャバシタ制御回路は、第3のキャバシタと、前記第3のキャバシタを充電する充電手段と、前記第3のキャバシタと前記プリチャージ回路との接続・切断を制御するトランジスタゲート回路から構成され、前記第2の制御回路は、前記第3の制御信号に応じて、制御する前記複数のキャバシタ制御回路の数を変更する機能を具備することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置、特に、DRAM(ダイナミック・ランダム・アクセスメモリ)において、ビット線のプリチャージ電位が、ビット線対の電位の中間電位と異なる場合に、プリチャージ動作を高速に行なうことが可能なビット線プリチャージ電圧発生装置を備えた半導体記憶装置に関する。

【0002】

【従来の技術】従来のビット線プリチャージ電圧発生装置が搭載される、半導体記憶装置の回路構成および動作について図面を参考しながら説明する。

【0003】図19は、一般的なDRAM5000の機能ブロック図を示す。4000はメモリアレイ、4001はメモリアレイブロック、4002は電源ブロック、4003はロウコントローラ、4004はカラムコントローラ、4005は制御回路、4006はI/Oパッファーである。

【0004】メモリアレイ4000は、複数のメモリアレイブロック4001を含む。各メモリアレイブロック4001には、電源ブロック4002よりビット線プリチャージ電圧VBPおよび、メモリセルブレード電圧VC等のメモリアレイ4000に必要な電圧が供給される。各メモリアレイブロック4001は、ロウコントローラ4003より入力される、ビット線プリチャージ信号NEQ、センスアンプ起動信号SAN、SAP、およびワード線駆動信号WL[63:0]により制御される。また、各メモリアレイブロック4001には、カラ

ムコントローラ4004が接続される。

【0005】ロウコントローラ4004には制御回路4005より、アクセスコントロール信号SE、ロウアドレス信号RADが入力される。カラムコントローラ4004には制御回路4005より、ライトイネーブル信号WEN、カラムアドレス信号CADが入力される。

【0006】制御回路4005には外部クロック信号CLK、ロウアドレスストローブ信号NRAS、カラムアドレスストローブ信号NCAS、ライト制御信号NWE、アドレスADDR、リフレッシュ制御信号REFが入力される。

【0007】カラムコントローラ4004は、I/Oパッファー4006に接続される。I/Oパッファー4006には、データ入力信号DIが入力され、データ出力信号DOを出力する。

【0008】図20は、メモリアレイブロック4001の回路図を示す。4100はメモリセル、4101はセンスアンプ、4102はプリチャージ回路、BL[n](n=0, 1, ...)はビット線、/BL[n](n=0, 1, ...)は、BL[n]と対となるビット線である。メモリセル4100は、Pチャネルトランジスタである1つのアクセストランジスタ4103とキャバシタ4104で構成される。アクセストランジスタ4103は、ソースがビット線BL[n]または、/BL[n]に、ドレインがキャバシタ4104に、ゲートがワード線駆動信号WL[n]線に接続される。キャバシタ4104の他のノードは、メモリセルブレード電圧VCPに接続される。

【0009】センスアンプ4101は一般的なクロスカッブル方式のセンスアンプであり、対となるビット線BL[n]、/BL[n]に接続される。センスアンプ4101は、センスアンプ起動信号SAN、SAPで制御される。プリチャージ回路4102は、3つのPチャネルトランジスタ、すなわち、ソースがビット線BL[n]に、ドレインがビット線/BL[n]に、ゲートがビット線プリチャージ信号NEQ線に接続されるトランジスタと、ソースがビット線BL[n]に、ドレインがビット線/BL[n]に、ゲートがビット線プリチャージ信号NEQ線に接続されるトランジスタで構成される。

【0010】図21は、ビット線プリチャージ電圧VBPの電源配線ネットの図を示す。メモリセルブレード4001上には、複数配置されるメモリアレイブロック4001内に配置される、プリチャージ回路4102にビット線プリチャージ電圧VBPを供給するためのビット線プリチャージ電源配線VBP[n]が配置される。ビット線プリチャージ電源配線VBP[n]は、プリチャ

ジ電圧発生回路4200に近い側から、VBP[0]、VBP[1]、...、VBP[n]とする。ビット線プリチャージ電源配線VBP[n]は、各メモリアレイブロック4001の上層の配線層でカラム方向に配置される(図上では実線で示される)。各ビット線プリチャージ電源配線VBP[n]はインピーダンスを下げるために、それぞれロウ方向に金属配線で接続される(図上では破線で示される)。このようにメッシュ状に配置され、またできるだけ太い配線が使用される。ビット線プリチャージ電源配線VBP[0]は、プリチャージ電圧発生回路4200に接続される。

【0011】図22は、従来のプリチャージ電圧発生回路4200の回路構成を示す。4300は基準電圧発生回路、4301はオペアンプ、4302はPチャネルトランジスタである。VBPREFはビット線プリチャージ基準電圧、VOUTはビット線プリチャージ保持電圧、PENはドライバーアイネーブル信号である。基準電圧発生回路4300は、ビット線プリチャージ基準電圧VBPREFおよびビット線プリチャージ保持電圧VOUTを発生する構成である。ビット線プリチャージ基準電圧VBPREFはオペアンプ4301の入力に、ビット線プリチャージ保持電圧VOUTは、ビット線プリチャージ電源配線VBP[0]に接続される。オペアンプ4301の入力にはビット線プリチャージ電源配線VBP[0]が接続され、出力はドライバーアイネーブル信号PENであり、Pチャネルトランジスタ4302のゲートに入力される。Pチャネルトランジスタ4302のソースはVDDに、ドレインはビット線プリチャージ電源配線VBP[0]に接続される。

【0012】図23は、基準電圧発生回路4300の回路図を示す。4400は抵抗(抵抗値R1)、4401は抵抗(抵抗値R2)である。回路構成は一般的な1/2VDD発生回路であり、例えば超LSIメモリ(伊藤清男著、培風館)に詳しく説明されているので詳細な説明は省略する。出力段は、ビット線プリチャージ基準電圧VBPREF発生用、およびビット線プリチャージ保持電圧VOUT用に2つ用意される。出力される電圧は、 $V_{OUT} = V_{BPREF} = R_2 / (R_1 + R_2) \times V_{DD}$ となる。R1およびR2の値としては、この回路を構成するトランジスタのオン抵抗よりも十分に大きい抵抗値が用いられる。

【0013】オペアンプ4301は、図24に示すような一般的なカレントミラー負荷型差動オペアンプ回路である。AMPENは差動アンプ制御信号である。差動入力として一入力にビット線プリチャージ基準電圧VBPREFが、+入力にビット線プリチャージ電源配線VBP[0]が接続される。出力はドライバーアイネーブル信号PENである。差動アンプ制御信号AMPENがVDDレベルの場合にはオペアンプ4301は動作状態で、VSSレベルの場合にはオペアンプ4301は停止

状態となり、消費電流を減らすことができる。本回路は一般的に知られている回路であり、その他詳しい動作原理は省略する。

【0014】図25は、このDRAMの動作タイミングおよび内部電圧タイミングを示す。ここではリード動作のみが示される。非動作状態(スタンバイ状態)では全てのワード線WL[n]はハイレベルであり、全てのアクセストランジスタ4103はオフ状態であり、キャバシタ4104には任意の電圧が保持されている。またビット線プリチャージ信号NEQはローレベルで、全てのビット線BL[n]、/BL[n]はビット線プリチャージ電圧VBPにチャージされている。

【0015】外部クロック信号CLKの立ち上がりエンジで、ロウアドレスストップ信号NRASをローレベルにし、アドレスADDRとしてロウアドレスを入力することで、ワード線選択動作が開始される。ワード線選択動作が開始されると、入力されたロウアドレスで決まる任意のメモリアレイブロック4001に入力されるビット線プリチャージ信号NEQがハイレベルにされる。ビット線プリチャージ信号NEQがハイレベルにされると、当該プリチャージ回路4102は停止する。また、差動アンプ制御信号AMPENがハイレベルにされ、オペアンプが活性化され、プリチャージ動作に備えられる。

【0016】その後、入力されたロウアドレスで決まる任意のワード線WL[n]1本がローレベル(VSS)にされ、接続された複数のメモリセル4100がオン状態となり、キャバシタ4104に保持されている電圧が、接続されたビット線BL[n]もしくは/BL[n]に読み出される。その後、センスアンプ起動信号SANSがローレベル(VSS)にSAPがハイレベル(VDD)にされ、センスアンプ4101は活性化状態となる。センスアンプ4101が活性化状態とされると、ビット線BL[n]もしくは/BL[n]に読み出された任意の電位に基づいて、ビット線BL[n]、/BL[n]がハイレベル(VDD)もしくはローレベル(VSS)にチャージされる。

【0017】ここで、読み出されたメモリセル4100が接続されたワード線WL[n]はローレベル(VSS)とされているので、接続されたビット線BL[n]

[n]、/BL[n]の電位がキャバシタ4104に再書き込みされる。アクセストランジスタ4103はPチャネルトランジスタであるため、ローレベルとしてはVtp(VtpはPチャネルトランジスタのしきい電圧)の電位が、ハイレベルとしてはVDDが書き込まれる。すなわち、キャバシタ4104に書き込まれる電位として、ハイレベルの場合はVDDが、ローレベルの場合はVtpが書き込まれる。ハイレベル読み出し、ローレベル読み出しの電位を共に最適なマージンで読み出す

ためには、ビット線プリチャージ電圧VBPは、その中間の値である $1/2(VDD + VtP)$ が最適となる。

【0018】その後、外部クロック信号CLKの立ち上がりエッジに同期してカラムアドレスストップレード信号N CASをローレベルにし、アドレスADDRとしてカラムアドレスを入力することで、カラムコントローラ-4004が活性化され、データがデータ出力信号DOとして出力される。

【0019】その後、外部クロック信号CLKの立ち上がりエッジに同期して、ロウアドレステロープ信号N_{RAS}、カラムアドレステロープ信号NCASをハイレベルにすることで、プリチャージ動作が開始される。プリチャージ動作が開始されると、ローレベルとなっていたワード線WL[n]がハイレベルにされ、アクセストランジスタ4103がオフし、キャッシュ4104に電荷が保持される。その後次の読み出し動作に備えるために、ビット線ブリッジチャージ信号NEQがローレベルにされ、プリチャージ回路4102が活性化される。

【0020】プリチャージ回路4102が活性化されると、センサアンプ4101により電位をVDD、VSSにされていたビット線BL[n]、／BL[n]の電位がイコライズされ、1／2VDDの電位にチャージされる。プリチャージ回路4102は同時に、ビット線BL[n]、／BL[n]を対応するビット線プリチャージ電源配線VBP[n]に接続し、ビット線プリチャージ電圧VBPにチャージしようとする。

【0021】図26は、従来の構成によるビット線ブリチャージ電源配線VBP [n] の、ブリチャージ回路4102の活性化における動作を示す。前述のようにビット線ブリチャージ信号NEQがローレベルにされ、ブリチャージ回路4102が活性化されると、活性化されたビット線BL [n] 、／BL [n] が、ビット線ブリチャージ電源配線VBP [n] に接続されるが、その際に電流が消費され、電圧低下が発生する。ビット線ブリチャージ電源配線VBP [n] と、ビット線ブリチャージ電源配線VBP [0] は、インピーダンスを下げるようメッシュ状に接続されているが、電圧の伝達は数ns程度の遅れを生じる。

【0022】ビット線プリチャージ電源配線VBP
【0】は、プリチャージ電圧発生回路4200に接続されており、ビット線プリチャージ電源配線VBP【0】がビット線プリチャージ基準電圧VBPREFより低い電圧になった時点で、オペアンプ4301の出力であるドライバーバイナリーブル信号PENがローレベル方向に下がり、Pチャネルトランジスタ4302がオンになり、ビット線プリチャージ電源配線VBP【0】にハイレベル電圧が供給される。ハイレベル電圧が供給され、ビット線プリチャージ電源配線VBP【0】が、ビット線プリチャージ基準電圧VBPREFより高い電圧になった時点では、オペアンプ4301の出力であるドライバーバ

ネーブル信号PENがハイレベル方向に上がり、Pチャネルトランジスタ4302がオフになる。

【0023】Pチャネルトランジスタ4302が電流能力を必要とし、比較的大きなサイズ($W=50\mu m$ 以上)が用いられるため、ドライバーネーブル信号PENは、ビット線プリチャージ電源配線VBP[0]と、ビット線プリチャージ基準電圧VBPREFの関係に対して遅れを生じ、図に示すようにPチャネルトランジスタ4302の流す電流iaも遅れを生ずる。

10 [0024]

【発明が解決しようとする課題】次の読み出し動作の際に安定して読み出すためには、ビット線B L [n]、／B L [n]の電圧を所定の範囲内に収める必要があるが、従来のビット線ブリッジチャージ電圧発生装置4 2 0 0では、オペアンプ4 3 0 1の動作が遅く、ブリッジチャージ動作を高速化することが困難であり、問題である。オペアンプ4 3 0 1の消費電流を増加させることで、ブリッジチャージ動作を高速化することは可能となるが、消費電力の増加が問題となる。

【0025】本発明は、ビット線のブリチャージ動作を高速・高精度に行なうことを可能とした半導体記憶装置を提供することを目的とする。

10026

【課題を解決するための手段】本発明の半導体記憶装置は、複数のメモリセルと、前記メモリセルが接続されたビット線対と、第1の制御信号に応じて前記ビット線対を第1の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧と前記第1の電圧を供給するビット線を組合せた構成である。前記ビット線のサイロライズ電圧と前記第1の電圧が異なる。前記ビット線プリチャージ電圧発生装置は、前記第1の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、第1のキャバシタと、前記第1のキャバシタを充電する充電手段と、前記第1のキャバシタと前記プリチャージ回路との接続、切断を能動的に行うトランジスタと前記充電手段と前記トランジスタを接続するトランスマッパー回路と前記トランスマッパー回路を制御する第1の制御回路とを具備する。前記第1の制御回路は、前記ビット線のプリチャージ時に前記第1のキャバシタと前記プリチャージ回路とを接続するように前記トランスマッパー回路を制御する。

【0027】この構成によれば、プリチャージ動作時に第1のキャバシタの電荷を放出することにより、ピット線のプリチャージ動作を高速に行なうことができる。

【0028】上記構成において、前記プリチャージ電圧発生回路は、第2の電圧を発生する基準電圧発生装置と、前記第1の電圧を前記第2の電圧と等しい電圧に駆動するドライバー回路とを備え、前記ドライバー回路の出力と、前記プリチャージ回路とが接続されている構成⁵⁰とすることができる。

【0029】また、上記構成において好ましくは、前記第1のキャバシタはソース・ドレインが接地された第1のMOSトランジスタで構成され、前記充電手段はゲートが第2の制御信号に、ソースが第1の外部電源に、ドレインが前記第1のMOSトランジスタのゲートに接続された第1のPチャネルMOSトランジスタで構成され、前記トランスファーゲート回路は、ゲートに第2の制御信号が入力され、ソースを前記第1のMOSトランジスタのゲートに、ドレインを前記ブリッヂ回路に接続された第2のPチャネルMOSトランジスタで構成される。

【0030】それにより、最小の回路構成で高速にビット線のブリッヂ動作を高速に行なうことができる。

【0031】また、前記第1の制御回路は、前記第1の制御信号が、前記ブリッヂ回路を活性化する電圧にされてから第3の遅延時間の後に前記第2の制御信号を第1の電圧レベルに制御し、さらに第2の遅延時間の後に、前記第2の制御信号を第1の電圧レベルと逆相の電圧に制御する構成とができる。

【0032】この構成によれば、ドライバー回路が活性化された後に、第1のキャバシタより電流が供給されるため、ビット線のブリッヂ動作を高速に行なうことができる。

【0033】また、第1の外部電源電圧と前記第2の電圧との差を第1の電圧差とし、前記ビット線対の各電圧の平均の電圧と前記第2の電圧との差を第2の電圧差とし、同時にブリッヂする前記ビット線対の絶静電容量を第1の静電容量とすとき、前記第1のキャバシタの静電容量は、前記第1の電圧差に対する前記第2の電圧差の比に前記第1の静電容量を乗じた第2の静電容量に等しい構成とができる。

【0034】また好ましくは、第1の外部電源電圧と前記第2の電圧との差を第1の電圧差とし、前記ビット線対の各電圧の平均の電圧と前記第2の電圧との差を第2の電圧差とし、同時にブリッヂする前記ビット線対の絶静電容量を第1の静電容量とすとき、前記第1のキャバシタの静電容量は、前記第1の電圧差に対する前記第2の電圧差の比に前記第1の静電容量を乗じた第2の静電容量の約50%から80%の値である構成とする。

【0035】それにより、第1のキャバシタの放電による第1の電圧の上昇と、ドライバー回路からの上昇による電圧の上昇による電圧の過上昇を防ぎ、高精度にビット線のブリッヂ動作を高速に行なうことができる。

【0036】また、上記構成において、前記複数のメモリセルのデータを、リフレッシュ制御信号に応じてリフ

レッシュするための機能を有し、リフレッシュ動作時には、通常動作より多くの前記ビット線対を活性化するよう構成され、前記第1の制御回路は前記リフレッシュ制御信号がリフレッシュ動作時を示すレベルの時に、前記第1の制御信号に応じて前記トランスファーゲート回路を開発する構成とができる。

【0037】この構成によれば、リフレッシュ動作時にビット線のブリッヂ動作を高速に行なうことができる。また、第1のキャバシタの静電容量をリフレッシュ動作時のみに必要な大きさとすることが可能となり、回路面積を削減でき、回路構成を単純化することが可能となる。

【0038】また、上記構成において、テスト信号が入力されることによりテストモードに入る機能を有し、前記テストモードでない場合には、前記第1の制御信号に応じて前記トランスファーゲート回路を開発し、前記テストモードの場合には、前記ドライバー回路が停止し、前記ドライバー回路の出力がハイインピーダンスとなり、前記トランスファーゲート回路を閉じている構成とができる。

【0039】この構成によれば、例えば検査時など、外部よりビット線のブリッヂ動作を印加し、動作のマージン等の確認を行なう際に、容易に、所望の電圧を実現することが可能となる。

【0040】また、前記ブリッヂ電圧発生回路は、前記複数のブリッヂ回路のうち、最遠部近傍に配置された前記ブリッヂ回路に供給される前記第1の電圧を前記第2の電圧と比較し、その比較結果に基づいて、最近部近傍に配置された前記ブリッヂ回路に供給される前記第1の電圧を駆動する構成とができる。

【0041】この構成によれば、供給されるメモリアレイ全体に対して、ビット線ブリッヂ電圧発生装置より遠いメモリアレイに対しても、比較的高速にビット線のブリッヂ動作を行なうことができる。

【0042】また、前記複数のメモリセルは複数のメモリアレイブロックに区分され、各々の前記メモリアレイブロックは、前記第1の制御信号によって同時に駆動される前記複数のブリッヂ回路に接続された前記複数のメモリセルを含み、前記メモリアレイブロックごとにノイズキャンセラーが配置され、前記ノイズキャンセラーは、第2のインバータと、第2のキャバシタで構成され、前記第1の制御信号が前記第2のインバータに入力され、前記第2のインバータの出力が、前記第2のキャバシタの1端子に入力され、前記第2のキャバシタの別端子に、前記ブリッヂ用の電圧が供給される構成とができる。

【0043】この構成によれば、第1の制御信号による、ビット線のブリッヂ電圧へのカップリングノイズの影響を相殺することが可能となり、高精度・高速に

ビット線のプリチャージ動作を行なうことができる。

【0044】また、本発明の他の構成の半導体記憶装置は、複数のメモリセルと、前記メモリセルが接続されたビット線対と、第1の制御信号に応じて前記ビット線対を第1の電圧にプリチャージするための複数のプリチャージ回路と、前記プリチャージ回路にプリチャージ用の電圧を供給するビット線プリチャージ電圧発生装置とを備え、ビット線のイコライズ電圧と前記第1の電圧が異なり、さらに第3の制御信号に応じて同時に活性化させる前記ビット線対の数を変更する機能を有する。前記ビット線プリチャージ電圧発生装置は、前記第1の電圧を発生して前記プリチャージ回路に供給するプリチャージ電圧発生回路と、複数のキャバシタ制御回路と、前記複数のキャバシタ制御回路を制御する第2の制御回路とを具備する。各々の前記キャバシタ制御回路は、第3のキャバシタと、前記第3のキャバシタを充電する充電手段と、前記第3のキャバシタと前記プリチャージ回路との接続・切断を制御するトランスマスファーゲート回路から構成される。前記第2の制御回路は、前記第3の制御信号に応じて、制御する前記複数のキャバシタ制御回路の数を変更する機能を具備する。

【0045】この構成によれば、第2の制御信号により、活性化ブロックを変更可能な半導体記憶装置において、活性化ブロックの大きさによらず高速にビット線のプリチャージ動作を行なうことが可能となり、最適なビット線プリチャージ電圧発生装置を提供することが可能となる。

【0046】

【発明の実施の形態】(第1の実施形態)図1は、本発明の第1の実施形態におけるビット線プリチャージ電圧発生装置が搭載された半導体記憶装置の回路ブロック図を示す。メモリアレイ4000、電源ブロック4002、プリチャージ電圧発生回路4200、およびビット線プリチャージ電源配線VBP[n]は、従来例の構成と同じである。半導体記憶装置の機能ブロック構成は、図19に示した従来の構成と同様である。また、メモリアレイ4000を構成するメモリアレイブロック4001(図19参照)の回路構成も、図20に示した従来の構成と同様である。

【0047】100はビット線プリチャージ電圧発生装置である。ビット線プリチャージ電圧発生装置100内には、従来と同じ構成のプリチャージ電圧発生回路4200に加えて、チャージタンク回路101、および充放電制御回路102が含まれる。ビット線プリチャージ電圧発生装置100は、ビット線プリチャージ電源配線VBP[n]のうち、もっとも近接するビット線プリチャージ電源配線VBP[0]に接続される。

【0048】図2は、プリチャージ電圧発生回路4200、およびチャージタンク回路101の回路図を示す。チャージタンク回路101は、第1のキャバシタ20

0、第1のPチャネルトランジスタ201、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203、第1のインバータ204、バッファインバータ205から構成される。CPNDは電荷蓄積ノード、AP、NAP、ACPはトランスマスファーゲート接続信号を示す。プリチャージ電圧発生回路4200の回路構成は、従来例の構成と同じである。

【0049】第1のキャバシタ200の1端子は、第1のPチャネルトランジスタ201、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203のドレインに接続され、他方の端子は接地される。第1のキャバシタ200の静電容量Ccapは、同時にプリチャージされるビット線BL[n]、/BL[n]の総容量をCblとしたときに、ビット線BL[n]、/BL[n]の電位をビット線プリチャージ基準電圧VBREFまでチャージするのに必要な電荷と等しくなる($(VBREF - 1/2VDD) \times C_{BL}$)を蓄積できるような大きさが必要となる。動作時にはオペアンプA301により供給される電荷分を考慮し、静電容量Ccap < ($VBREF - 1/2VDD$) / ($VDD - VBREF$) $\times C_{BL}$ が用いられる。

【0050】第1のPチャネルトランジスタ201のゲートにはトランスマスファーゲート接続信号APが入力され、ソースは外部電源VDDに接続される。第2のPチャネルトランジスタ202のゲートにはトランスマスファーゲート接続信号NAPが入力され、ソースはビット線プリチャージ電源配線VBP[0]に接続される。第1のNチャネルトランジスタ203のゲートにはトランスマスファーゲート接続信号APが入力され、ソースはビット線プリチャージ電源配線VBP[0]に接続される。第1のインバータ204の入力にはトランスマスファーゲート接続信号APが供給され、出力はトランスマスファーゲート接続信号NAPを構成する。バッファインバータ205は、偶数段のインバータの直列接続で構成され、入力にはトランスマスファーゲート接続信号ACPが供給され、出力はトランスマスファーゲート接続信号APを構成する。

【0051】図3は、充放電制御回路102の回路図を示す。300は第1の遅延素子、301は第2の遅延素子、302は第2のインバータ、303は第1のNOR素子である。第1の遅延素子300の遅延時間はt1であり、入力はビット線プリチャージ信号NEQ、出力は第2の遅延素子301、第1のNOR素子303に入力される。第2の遅延素子301の遅延時間はt2であり、出力は第2のインバータ302の入力に接続される。第2のインバータ302の出力は第1のNOR素子303に入力され、第1のNOR素子303の出力はトランスマスファーゲート接続信号ACPとなる。

【0052】図4は、ビット線プリチャージ電圧発生装置100のプリチャージ動作時における動作タイミング、および主要ノードの電圧を示す。この図を参照しな

13

がら動作の説明を行なう。本発明によるビット線プリチャージ電圧発生装置が搭載される半導体記憶装置の動作タイミングは、図25に示されるものと同じである。

【0053】ビット線プリチャージ信号NEQがローレベルにされ、プリチャージ回路4102(図20参照)が活性化されると、センサアップ4101により電位をVDD、VSSにされていたビット線BL[n]、/BL[n]の電位がイコライズされ、1/2VDDの電位にチャージされようとする。プリチャージ回路4102は同時に、ビット線BL[n]、/BL[n]を対応するビット線プリチャージ電源配線VBP[n]に接続し、ビット線プリチャージ電圧VBPにチャージしようとする。その際に電流が消費され、電圧降下が発生する。

【0054】ビット線プリチャージ電源配線VBP[n]に電圧降下が発生すると、メッシュ状に接続される配線を通して、ビット線プリチャージ電源配線VBP[0]にも電圧降下が伝達される。それを検知してオペアンプ4301が活性化するが、Pチャネルトランジスタ4302の流す電流*i*_aが大きくなるまでには時間を要する。

【0055】ビット線プリチャージ信号NEQがハイレベルの場合には、トランスマニアゲート接続信号APはローレベルで、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203はオフであり、また第1のPチャネルトランジスタ201はオンであり、電荷蓄積ノードCPNDはハイレベルにチャージされており、第1のキャバシタ200には電荷が蓄積されている。

【0056】ビット線プリチャージ信号NEQがローレベルにされると、第1の遅延素子300で決まる遅延時間 t_1 の後にトランスマニアゲート接続信号APはハイレベルとなり、第1のPチャネルトランジスタ201はオフとなり、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203がオンする。これにより、第1のキャバシタ200と、ビット線プリチャージ電源配線VBP[0]が電気的に接続され、電流*i*_bが流れる。電荷蓄積ノードCPNDにはハイレベルが接続されており、電流*i*_bにより、ビット線プリチャージ電源配線VBP[0]は急速に電圧レベルが上昇する。

【0057】レベルの上昇を受けてオペアンプ4301はPチャネルトランジスタ4302をオフする方向に動作を変えるが、流す電流*i*_aが小さくなるまでには時間が必要とする。

【0058】その後、第2の遅延素子301で決まる遅延時間 t_2 の後にトランスマニアゲート接続信号APがローレベルとなり、第2のPチャネルトランジスタ202、第1のNチャネルトランジスタ203がオフし、また第1のPチャネルトランジスタ201がオンし、電荷蓄積ノードCPNDはハイレベルにチャージされ、次の

プリチャージ動作に備えられる。

【0059】以上のように、本実施形態によれば、ビット線BL[n]、/BL[n]をハイレベルにプリチャージする際に、動作の遅れを生じるオペアンプ4301に、第1のキャバシタ200に蓄積された電荷を放電する機能を追加することで、急速に、プリチャージ動作を終了することが可能となり、半導体記憶装置の動作を高速に行なうことが可能となる。

【0060】(第2の実施形態) 図5は、本発明の第2の実施形態におけるビット線プリチャージ電圧発生装置が搭載された半導体記憶装置500の機能ブロック図を示す。従来の半導体記憶装置に関して説明した要素と同様の要素については、同一の参照番号を付して説明を省略する。501は制御回路、502はロウコントローラ、503は電源ブロックである。REFENは、リフレッシュ動作イネーブル信号である。以下の記載においては、従来と異なる部分を中心として説明する。

【0061】制御回路501には、外部クロック信号CLK、ロウアドレスストローブ信号NRAS、カラムアドレスストローブ信号NCAS、ライト制御信号NW_E、アドレス ADDR、リフレッシュ制御信号REFEが入力される。制御信号501から出力されるリフレッシュ動作イネーブル信号REFENが、ロウコントローラ502、電源ブロック503に入力される。

【0062】図6は、本実施形態によるビット線プリチャージ電圧発生装置が搭載された半導体記憶装置のノーマル動作及びリフレッシュ動作時において、それぞれ活性されるメモリアレイブロック4001の状態を示す。リフレッシュ動作イネーブル信号REFENがローレベルの場合にはノーマル動作となり、図6(a)に示すように、ロウコントローラ502からは、1つのメモリアレイブロック4001に対してビット線プリチャージ信号NEQ、センサアップ起動信号SAN、SAP、ワード線駆動信号WL[63:0]が放出される。リフレッシュ動作イネーブル信号REFENがハイレベルの場合にはリフレッシュ動作となり、図6(b)に示すように、ロウコントローラ502からは、複数のメモリアレイブロック4001に対してビット線プリチャージ信号NEQ、センサアップ起動信号SAN、SAP、ワード駆動信号WL[63:0]が放出される。

【0063】図7に、本実施形態における半導体記憶装置の回路ブロック図を示す。メモリアレイ4000、電源ブロック4002、プリチャージ電圧発生回路4200、ビット線プリチャージ電源配線VBP[n]は、従来例の構成と同じである。また、メモリアレイブロック4001の回路構成も、図20に示した従来の構成と同様である。第1の実施形態における要素と同一の参照符号が付された要素は、同一の構成を有する。700は充放電制御回路である。

【0064】本実施形態の構成が第1の実施形態と異な

15

る点は、充放電制御回路100の構成、およびチャージタンク回路101内に配置される第1のキャバシタ200(図2参照)の静電容量C_{cap}が、リフレッシュ時に活性化されるピット線対の総容量に応じて最適化されていて多いということである。

【0065】図8に、本実施形態における充放電制御回路7000の回路図を示す。102は、第1の実施形態における充放電制御回路と同一の回路構成ブロックを示し、800は第1のAND素子である。第1の実施形態における充放電制御回路102の出力は、第1のAND素子800に入力される。第1のAND素子800の他の入力にはリフレッシュ動作イネーブル信号REFENが入力され、出力はトランジスターゲート接続信号ACPとなる。

【0066】図9に、本実施形態における半導体記憶装置の、ノーマル動作及びリフレッシュ動作時のタイミング図を示す。

【0067】ノーマル動作時は第1の実施形態と同一であるが、リフレッシュ制御信号REFはハイレベルとされる。リフレッシュ制御信号REFがハイレベルとされるとリフレッシュ動作イネーブル信号REFENがローレベルとされる。リフレッシュ動作イネーブル信号REFENがローレベルであると、充放電制御回路7000の出力、すなわち第1のAND素子800の出力であるトランジスターゲート接続信号ACPはローレベルとなる。従って、トランジスターゲート接続信号ACPはローレベル固定となり、第1のキャバシタ200に蓄積される電荷の放電が行なわれない。

【0068】リフレッシュ制御信号REFが外部クロック信号CLKの立ち上がりエッジでローレベルにされると、リフレッシュ動作イネーブル信号REFENがハイレベルとされ、内部リフレッシュカウンター等で決まるロウアドレスに対する複数のメモリアレイブロック4001に接続されるピット線プリチャージ信号NEQがハイレベルにされる。所定の期間後、ピット線プリチャージ信号NEQがローレベルにされると、トランジスターゲート接続信号ACPがハイレベルとなる。それにより、第1のキャバシタ200に蓄積される電荷の放電が行われ、高速にピット線プリチャージ動作が行なわれる。更に第2の選延素子301で決まる選延時間t₂の後に、トランジスターゲート接続信号ACPがローレベルとなり、第1のキャバシタ200に電荷が蓄積される。

【0069】以上のように、本実施形態によれば、リフレッシュ動作時に第1のキャバシタ200に蓄積された電荷を放電する機能を追加することにより、ノーマル動作より多くのピット線BL[n]、/BL[n]をハイレベルにプリチャージする際に、急速にプリチャージ動作を終了することが可能となり、半導体記憶装置のプリチャージ動作を高速に行なうことが可能となる。

【0070】(第3の実施形態)図10は、本発明の第

3の実施形態における半導体記憶装置1000の回路ブロック図を示す。従来例あるいは第1の実施形態と同一の参照符号が付された要素は、同一の構成を有する。PTESTはピット線プリチャージ電源テスト信号、1001は制御回路、1002は電源ブロック、1003はピット線プリチャージ電圧発生装置、1004は充放電制御回路、1005は外部パッドである。

【0071】電源ブロック1002内には、ピット線プリチャージ電圧発生装置1003が配置され、ピット線プリチャージ電圧発生装置1003は、充放電制御回路1004、チャージタンク回路101、プリチャージ電圧発生回路4200で構成される。制御回路1001には、ピット線プリチャージ電源テスト信号PTESTが入力され、さらにピット線プリチャージ電源テスト信号PTESTは充放電制御回路1004に入力される。外部パッド1005が、ピット線プリチャージ電圧VBPに接続されている。

【0072】図11は充放電制御回路1004の回路図を示す。102は実施形態1と同じ充放電制御回路、1000は第3のインバータ、1101は第2のAND素子である。充放電制御回路102の出力が第2のAND素子1101に入力され、ピット線プリチャージ電源テスト信号PTESTが、第3のインバータ1100に入力される。第3のインバータ1100の出力は、差動アンプ制御信号AMPENとして供給されるとともに、第2のAND素子1101に入力される。第2のAND素子1101の出力は、トランジスターゲート接続信号ACPとなる。

【0073】以上のように構成された半導体記憶装置1000の動作を説明する。ピット線プリチャージ電源テスト信号PTESTがローレベルの場合にはノーマル動作であり、第1の実施形態と同様の動作を行なうことが可能となる。またピット線プリチャージ電源テスト信号PTESTがハイレベルの場合には、差動アンプ制御信号AMPENはローレベルとなり、オペアンプ4301は停止し、トランジスターゲート接続信号ACPはローレベル固定となり、ピット線プリチャージ電圧VBPへの電流供給は行なわれない。

【0074】以上のように本実施形態に拘れば、ピット線プリチャージ電源テスト信号PTESTをハイレベルにすることで、ピット線プリチャージ電圧VBPへの電流供給が行なわれなくなり、外部パッド1005から例えばプローピング検査などで任意の電圧を印加することが可能となり、例えば、動作マージン評価等を行なうことが可能となる。

【0075】(第4の実施形態)図12は、本発明の第4の実施形態における半導体記憶装置の回路ブロック図を示す。従来例あるいは上記の実施形態と同一の参照符号が付された要素は、同一の構成を有する。1200はピット線プリチャージ電圧発生装置、1201はプリチ

ヤージ電圧発生回路である。ビット線プリチャージ電圧発生装置1200は、プリチャージ電圧発生回路1201、チャージタンク回路101、充放電制御回路102で構成される。ビット線プリチャージ電圧発生装置1200には、ビット線プリチャージ電源配線VBP[n]が接続される。

【0076】図13は、本実施形態によるプリチャージ電圧発生回路1201、チャージタンク回路101の回路図を示す。チャージタンク回路101の回路構成は第1の実施形態と同一である。プリチャージ電圧発生回路1201は、従来例におけるプリチャージ電圧発生回路4200に対して、オペアンプ4301の入力にビット線プリチャージ電源配線VBP[0]が接続されている代わりに、ビット線プリチャージ電源配線VBP[n]が接続されている点が異なる。

【0077】以上のような構成とすることで、ビット線プリチャージ電源配線VBP[0]からビット線プリチャージ電源配線VBP[n]の間のインピーダンスが存在するが、ビット線プリチャージ電源配線VBP[n]に接続されるメモリアレイブロック4001が活性化した場合でも、高速にプリチャージ動作を行なうことが可能となる。またビット線プリチャージ電源配線VBP[0]に接続されるメモリアレイブロック4001が活性化した場合には、オペアンプ4301の検知までに時間を要するが、電圧降下が電源回路近傍に発生することから、プリチャージ動作に問題となるような遅れを生じない。従ってメモリアレイ4000全体で高速にプリチャージ動作を行なうことができる。

【0078】(第5の実施形態)図14は、本発明の第5の実施形態における半導体記憶装置1400の回路ブロック図を示す。従来例あるいは上記の実施形態と同一の参照符号が付された要素は、同一の構成を有する。1401はノイズキャンセル回路である。

【0079】ノイズキャンセル回路1401は、メモリアレイ4000内に配置され、メモリアレイブロック4001内を通過するビット線プリチャージ信号NEQに結合される。

【0080】図15は、ノイズキャンセル回路1401、およびメモリアレイブロック4001の回路図を示す。1500は第4のインバーター、1501は第2のキャパシタである。メモリアレイブロック4001の回路構成は従来例と同一である。

【0081】第4のインバーター1500の入力にはビット線プリチャージ信号NEQが入力され、出力は第2のキャパシタ1501に接続される。第2のキャパシタ1501の他方の端子は、ビット線プリチャージ電源配線VBP[n]に接続される。第2のキャパシタ1501の静電容量は、ビット線プリチャージ信号NEQと、ビット線プリチャージ電源配線VBP[n]との間にトランジスタを介して存在する寄生容量と同一の静電容量

とされる。

【0082】ビット線プリチャージ信号NEQをハイレベルもしくはローレベルに駆動する際に、トランジスタを介して存在する寄生容量を介してビット線プリチャージ電源VBP[n]にノイズが発生するが、本構成によれば、そのノイズを第2のキャパシタ1501のカップリング容量によりキャンセルすることができる。従ってビット線のプリチャージをより精度よく行なうことができる。

【0083】(第6の実施形態)図16は、本発明の第6の実施形態における半導体記憶装置1600の回路ブロック図を示す。従来例あるいは上記の実施形態と同一の参照符号が付された要素は、同一の構成を有する。1601は制御回路、1602は電源ブロック、1603はビット線プリチャージ電圧発生装置、1601Bは第2のチャージタンク回路、1604はロウコントローラ、1605はカラムコントローラである。

【0084】制御回路1601には、外部クロック信号CLK、ロウアドレステストローブ信号NRAS、カラムアドレステストローブ信号NCAS、ライト制御信号NWE、アドレスADDR、リフレッシュ制御信号REFE、およびページ長制御信号PGMDが入力される。制御回路1601より出力される内部ページモード制御信号IPGは、カラムコントローラ1605、ロウコントローラ1604、ビット線プリチャージ電圧発生装置1603に入力される。

【0085】図17は、本実施形態における半導体記憶装置の活性化ブロックの選択の説明図である。図17(a)に示すように、内部ページモード制御信号IPGがローレベルの場合には、ロウコントローラ1604より、1つのメモリアレイブロック4001に対してビット線プリチャージ信号NEQ、センサンプ起動信号SAN、SAP、ワード線駆動信号WL[63:0]が出力される。図17(b)に示すように、内部ページモード制御信号IPGがハイレベルの場合には、2つのメモリアレイブロック4001に対して、それぞれのビット線プリチャージ信号NEQ、センサンプ起動信号SAN、SAP、ワード線駆動信号WL[63:0]が出力される。

【0086】図18は、本実施形態におけるビット線プリチャージ電圧発生装置1603のブロック図を示す。1800は第3のAND素子である。プリチャージ電圧発生回路4200の出力、チャージタンク回路101の出力、および第2のチャージタンク回路101Bの出力は、ビット線プリチャージ電源配線VBP[0]に接続される。第2のチャージタンク回路101Bの回路構成は、図2に示したチャージタンク回路101と同一である。チャージタンク回路101および、第2のチャージタンク回路101B内に配置される第1のキャパシタ2000の静電容量は、それぞれが1つのメモリアレイブロ

ック4001内に配置されるビット線BL[n]、/BL[n]を充電するのに必要な静電容量とされる。

【0087】チャージタンク回路101内バッファインバータ205には、充放電制御回路102から出力されるトランスマニアゲート接続信号ACPが入力される。第2のチャージタンク回路101B内のバッファインバータ205には、第3のAND素子1800の出力が入力される。第3のAND素子1800には、内部ページモード制御信号IPG、および充放電制御回路102から出力されるトランスマニアゲート接続信号ACPが入力される。

【0088】上記構成の動作を説明する。内部ページモード制御信号IPGがローレベルの場合には、ビット線ブリチャージ信号NEQがローレベルにされ、ブリチャージ動作が開始されると、活性化されている1つのメモリアレイブロック4001内に配置されたビット線BL[n]、/BL[n]がブリチャージされる。その際、チャージタンク回路101のみが動作し、第2のチャージタンク回路101Bは停止している。内部ページモード制御信号IPGがハイレベルの場合には、ビット線ブリチャージ信号NEQがローレベルにされ、ブリチャージ動作が開始されると、活性化されている2つのメモリアレイブロック4001内に配置されるビット線BL[n]、/BL[n]がブリチャージされる。その際には、チャージタンク回路101が動作するとともに、第3のAND素子1800の出力がハイレベルとなり第2のチャージタンク回路101Bが動作する。

【0089】本構成によれば、同時に活性化されるメモリアレイブロック4001の数が異なる場合にも、それぞれ高速にブリチャージ動作を行なうことが可能となり、動作を高速化できる。

【0090】

【発明の効果】本発明によれば、従来のオペアンプのみによるビット線ブリチャージ電圧発生装置に、キャパシタから放電を行なうチャージタンク回路を設けることにより、ビット線のブリチャージ動作を高速・高精度に行なうことが可能となり、半導体記憶装置の回路動作を高速化することが可能となる。

【図面の簡単な説明】

- 【図1】 本発明の第1の実施形態における半導体記憶装置の回路ブロック図
- 【図2】 第1の実施形態におけるブリチャージ電圧発生回路およびチャージタンク回路の回路図
- 【図3】 第1の実施形態における充放電制御回路の回路図
- 【図4】 第1の実施形態におけるブリチャージ動作時の動作タイミング、および主要ノードの電圧を示す図
- 【図5】 第2の実施形態における半導体記憶装置の機能ブロック図
- 【図6】 第2の実施形態における半導体記憶装置のノ

ーマル動作及びリフレッシュ動作時に活性化されるメモリアレイブロックの構成図

【図7】 第2の実施形態における半導体記憶装置の回路ブロック図

【図8】 第2の実施形態における充放電制御回路の回路図

【図9】 第2の実施形態における半導体記憶装置のノーマル動作及びリフレッシュ動作時のタイミング図

【図10】 第3の実施形態における半導体記憶装置の回路ブロック図

【図11】 第3の実施形態における充放電制御回路の回路図

【図12】 第4の実施形態における半導体記憶装置の回路ブロック図

【図13】 第4の実施形態におけるブリチャージ電圧発生回路およびチャージタンク回路の回路図

【図14】 第5の実施形態における半導体記憶装置の回路ブロック図

【図15】 第5の実施形態におけるノイズキャンセル回路およびメモリアレイブロックの回路図

【図16】 第6の実施形態における半導体記憶装置の回路ブロック図

【図17】 第6の実施形態における半導体記憶装置の活性化ブロック選択の説明図

【図18】 第6の実施形態におけるビット線ブリチャージ電圧発生装置のブロック図

【図19】 従来の一般的なDRAMの機能ブロック図

【図20】 従来のメモリアレイブロックの回路図

【図21】 従来のビット線ブリチャージ電圧の電源配線ネットを示す図

【図22】 従来のブリチャージ電圧発生回路の回路図

【図23】 従来の基準電圧発生回路の回路図

【図24】 従来のオペアンプの回路図

【図25】 従来のDRAMの動作タイミングおよび内部電圧タイミングのタイミング図

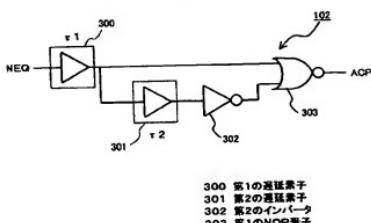
【図26】 従来のビット線ブリチャージ電源配線の電圧と、ブリチャージ回路の活性時の電流を示す図

【符号の説明】

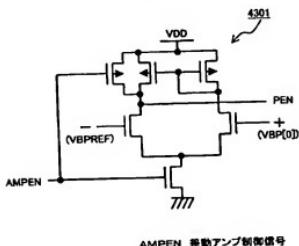
- 100 ビット線ブリチャージ電圧発生装置
- 101 チャージタンク回路
- 101B 第2のチャージタンク回路
- 102 充放電制御回路
- 200 第1のキャパシタ
- 201 第1のPチャネルトランジスタ
- 202 第2のPチャネルトランジスタ
- 203 第1のNチャネルトランジスタ
- 204 第1のインバータ
- 205 バッファインバータ
- 300 第1の遅延素子
- 301 第2の遅延素子

3 0 2	第2のインバータ
3 0 3	第1のNOR素子
5 0 0	半導体記憶装置
5 0 1	制御回路
5 0 2	ロウコントローラ
5 0 3	電源ブロック
7 0 0	充放電制御回路
8 0 0	第1のAND素子
1 0 0 0	半導体記憶装置
1 0 0 1	制御回路
1 0 0 2	電源ブロック
1 0 0 3	ビット線プリチャージ電圧発生装置
1 0 0 4	充放電制御回路
1 0 0 5	外部パッド
1 1 0 0	第3のインバータ
1 1 0 1	第2のAND素子
1 2 0 0	ビット線プリチャージ電圧発生装置
1 2 0 1	プリチャージ電圧発生回路
1 4 0 0	半導体記憶装置
1 4 0 1	ノイズキャンセル回路
1 5 0 0	第4のインバータ
1 5 0 1	第2のキャッシュ
1 6 0 0	半導体記憶装置
1 6 0 1	制御回路
1 6 0 2	電源ブロック
1 6 0 3	ビット線プリチャージ電圧発生装置
1 6 0 4	ロウコントローラ
1 6 0 5	カラムコントローラ
1 8 0 0	第3のAND素子
4 0 0 0	メモリアレイ
4 0 0 1	メモリアレイブロック
4 0 0 2	電源ブロック
4 0 0 3	ロウコントローラ
4 0 0 4	カラムコーダー
4 0 0 5	制御回路
4 0 0 6	I/Oパッファー
4 1 0 0	メモリセル
4 1 0 1	センスアンプ
4 1 0 2	プリチャージ回路
4 1 0 3	アクセストラジンスタ
4 1 0 4	キャッシュ
4 2 0 0	プリチャージ電圧発生回路
4 3 0 0	基準電圧発生回路
4 3 0 1	オペアンプ
4 3 0 2	Pチャネルトランジスタ
10 4 4 0 0, 4 4 0 1	抵抗
5 0 0 0	DRAM
AMPEN	差動アンプ制御信号
A.P, N.A.P, A.C.P	トランസフアゲート接続信号
B.L [n], /B.L [n]	ビット線
CAD	カラムアドレス信号
CLK	外部クロック信号
CPND	電荷蓄積ノード
D.I	データ入力信号
D.O	データ出力信号
20 I.P.G	内部ページモード制御信号
NCAS	カラムアドレステストロープ信号
NRAS	ロウアドレステストロープ信号
NWE	ライト制御信号
PEN	ドライバーイネーブル信号
PGMD	ページ長制御信号
P.T.E.S.T	ビット線プリチャージ電源テスト信号
RAD	ロウアドレス信号
REF	リフレッシュ制御信号
REFEN	リフレッシュ動作イネーブル信号
30 SE	アクセスコントロール信号
V.B.P	ビット線プリチャージ電圧
V.B.P [n]	ビット線プリチャージ電源配線
V.B.P.R.E.F	ビット線プリチャージ基準電圧
V.C.P	メモリセルブレード電圧
V.O.U.T	ビット線プリチャージ保持電圧
WEN	ライトイネーブル信号

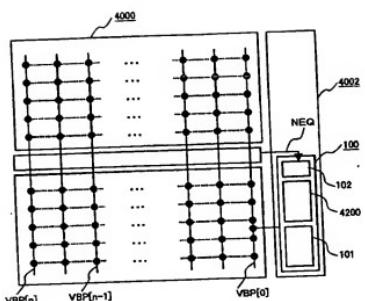
【図3】



【図4】

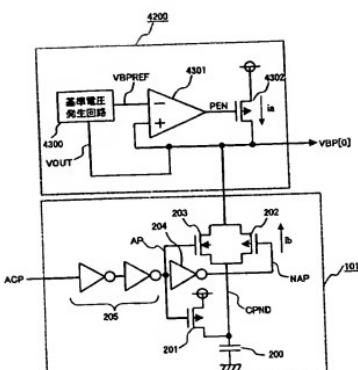


【図1】



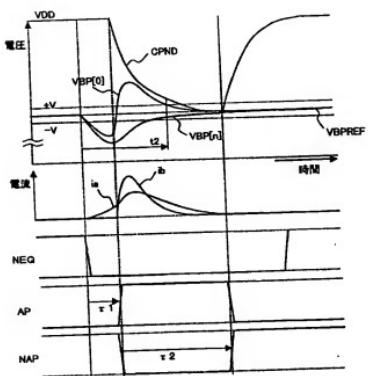
100 ポイント線プリチャージ電圧発生装置
101 チャージタップ回路
102 充放電制御回路
4200 プリチャージ電圧発生回路
VBP[n] ポイント線プリチャージ電源配線

【図2】

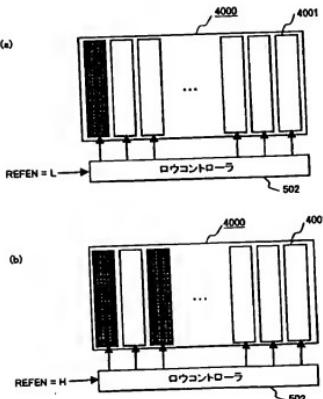


200 第1のキャパシタ
201 第1のDPチャネルトランジスタ
202 第2のDPチャネルトランジスタ
203 第1のNPチャネルトランジスタ
204 第1のインバータ
205 パワーファインバータ
CPND 電荷管理ノード
AP, NAP, ACP トランスマッジゲート接続信号

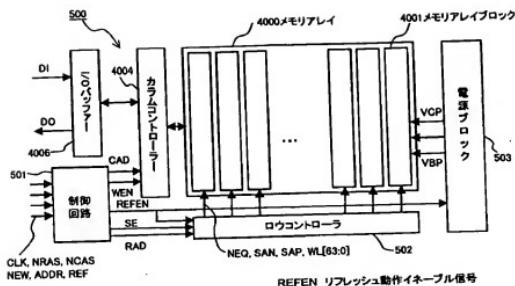
【図4】



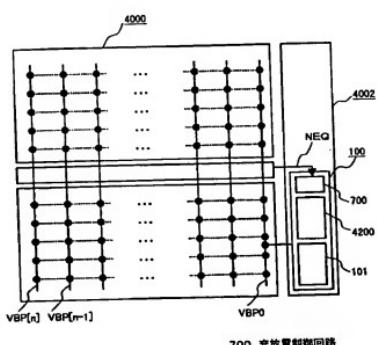
【図6】



〔図5〕

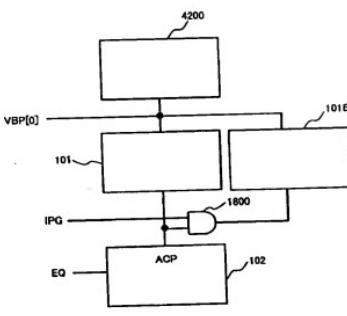


[图7]



300 章放電回路

[图 1-8]



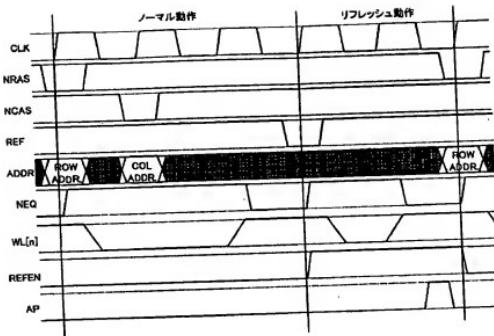
1800 第30AND秀子

[図8]

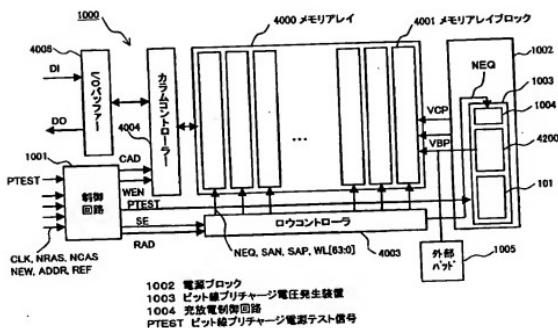


800 節 10 STANDARD

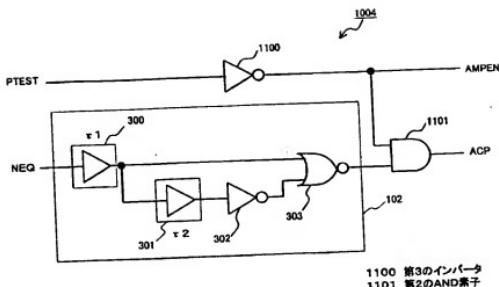
【図9】



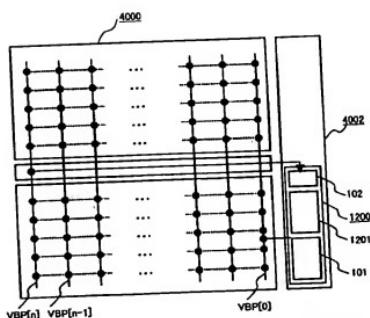
【図10】



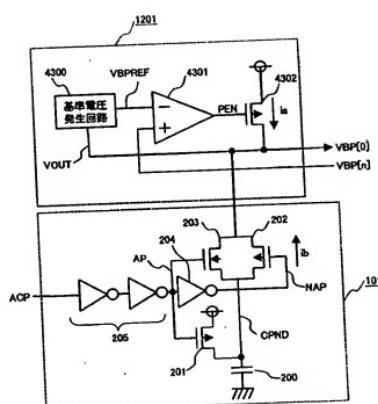
【図11】



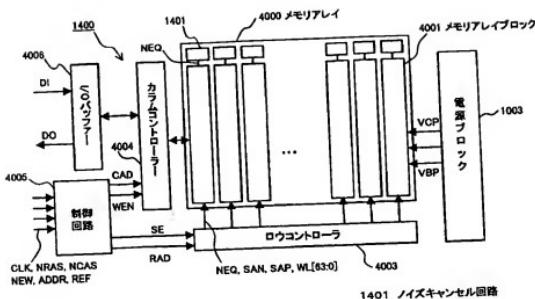
【図12】



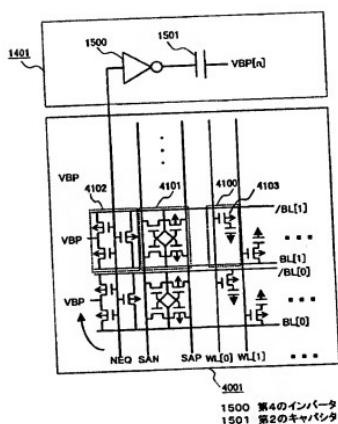
【図13】



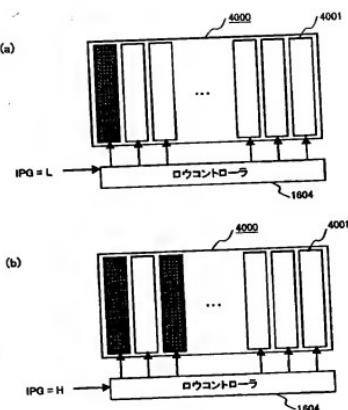
【図14】



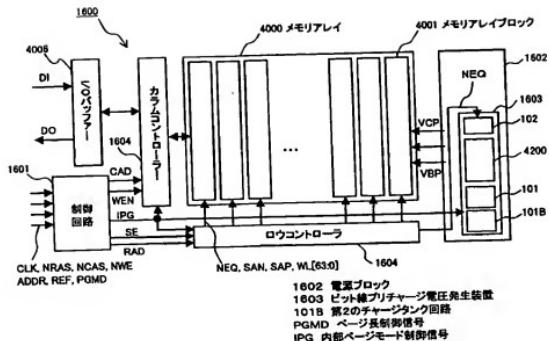
【図15】



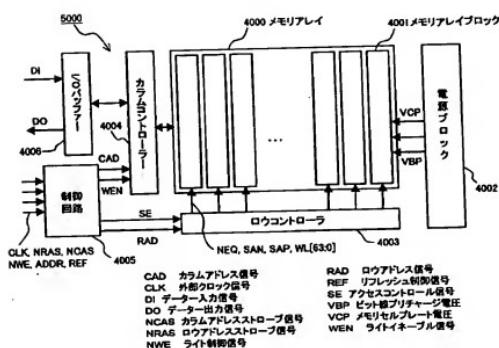
【図17】



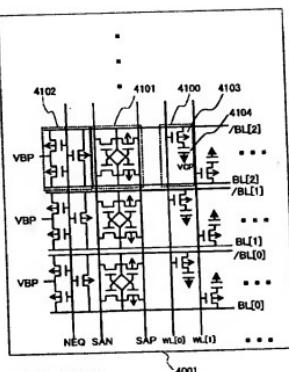
【図16】



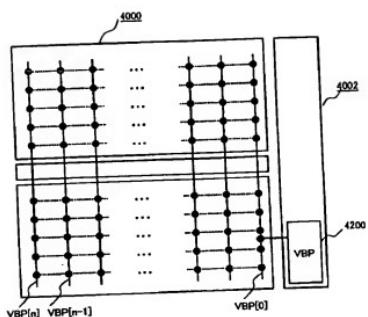
【図19】



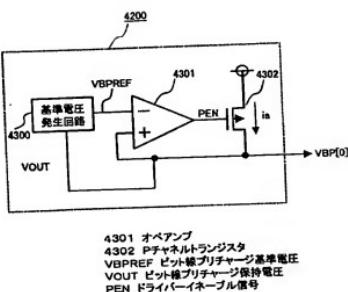
【図20】



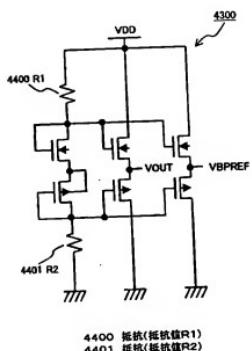
【図21】



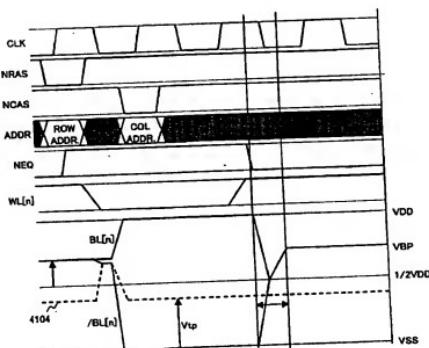
【図22】



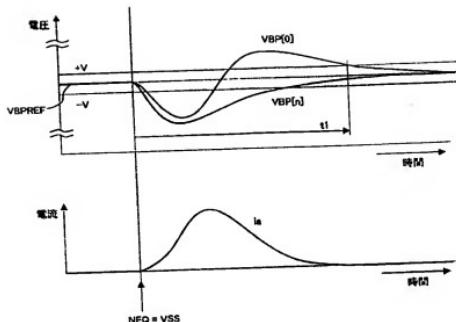
【図23】



【図25】



【図26】



フロントページの続き

(51) Int. Cl. 7
G 11 C 11/409
29/00

識別記号
6 7 1

F I
G 11 C 11/34
G 01 R 31/28

マーク (参考)
3 7 1 A
B
W

(72) 発明者 廣瀬 雅庸
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム (参考) 2G132 AA08 AK15 AK16 AL00
5L106 AA01 DD11 EE02
5M024 AA23 AA50 BB15 BB29 BB35
BB39 BB40 CC63 CC65 EE30
FF08 FF20 FF23 HH11 LL01
MM04 MM10 PP01 PP02 PP03
PP07